实验五 计数器的设计

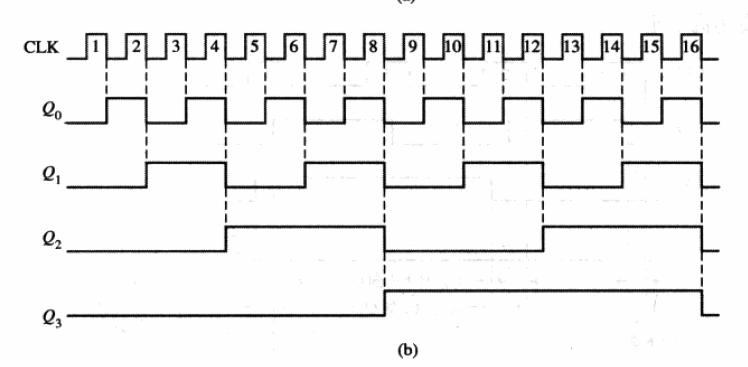
专业：软件工程 学号 14331023 姓名 陈举平

【实验目的】

熟悉J-K触发器的逻辑功能，掌握J-K触发器构成异步计数器和同步计数器。

【实验设计与分析】

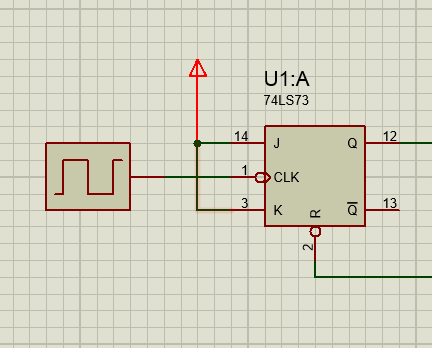
1. 16进制异步计数器



（1）原理：

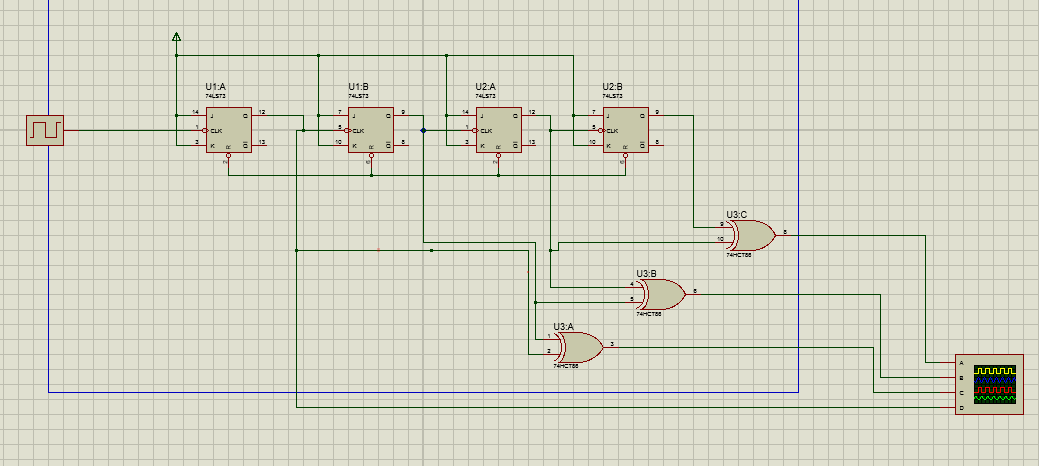
使用74LS73下降沿JK触发器，令J=K=1,根据触发器真值表，处于“切换”功能状态，

此时Q=Q0’，产生高低电平交替的时钟信号。利用下降沿触发的特点，可以另Q的周期是CLK输入的两倍。最后通过门电路转化成格雷码（第一周实验）

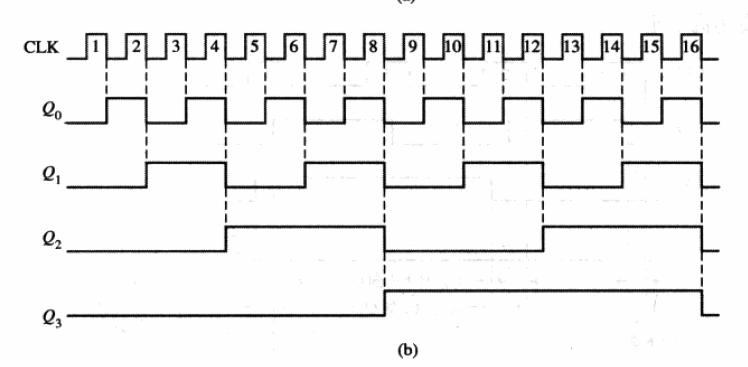


通过4个74LS73级联，把每一级的Q作为下一级的CLK输入，可以产生周期1:2:4:8的四组时钟信号

（2）电路设计



2. 16进制同步计数器



（1）原理：

同步计数器需要共用同一组时钟输入，因此根据次态确定J、K真值。

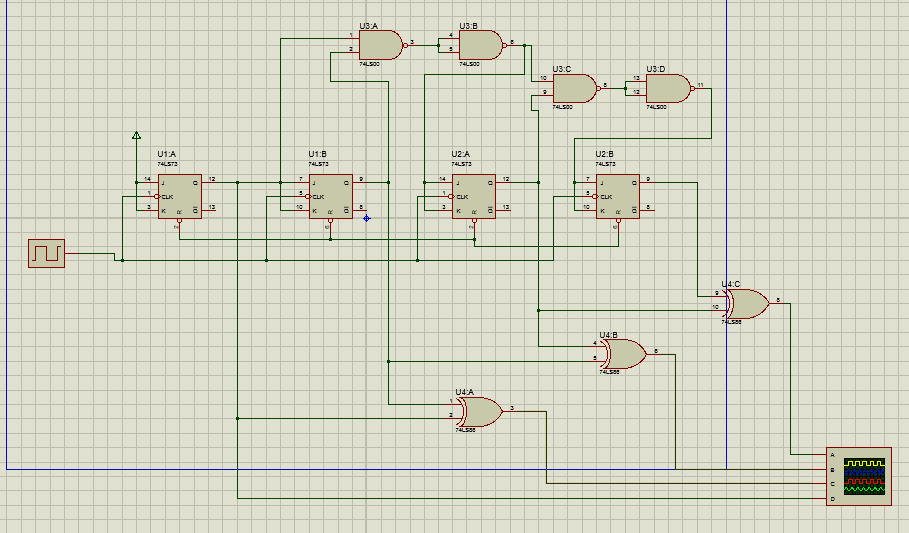
次态表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **当前状态** | | | |  | **次态** | | | |
| **Q3** | **Q2** | **Q1** | **Q0** | **Q3** | **Q2** | **Q1** | **Q0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |



(2)电路图设计



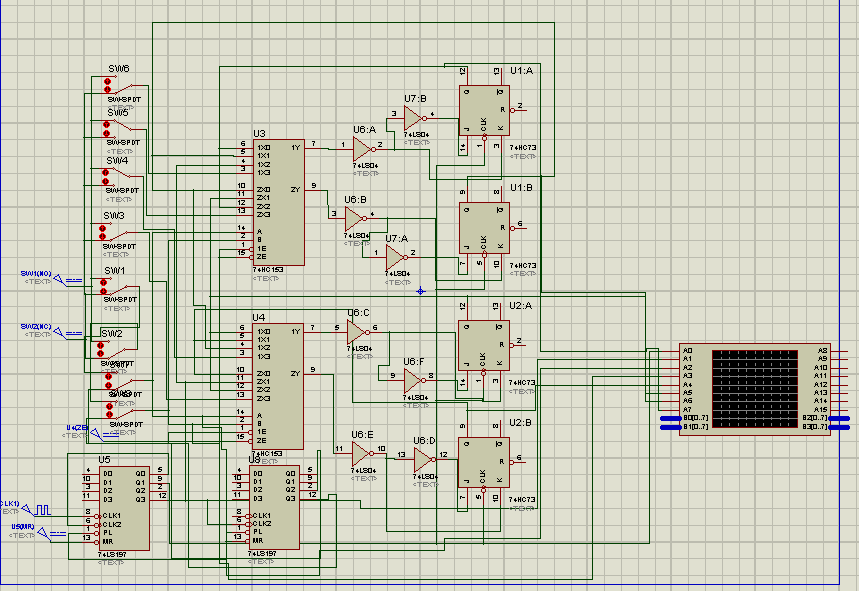
3.模仿74LS194功能

（1）原理：

|  |  |  |
| --- | --- | --- |
| S0 | S1 | Y |
| 0 | 0 | X0 |
| 1 | 0 | X1 |
| 0 | 1 | X2 |
| 1 | 1 | X3 |

而我们知道，实现四种功能时，JK的输入应该为：

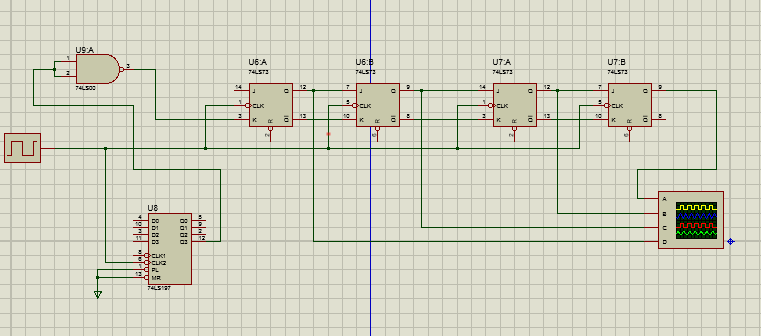
|  |  |  |
| --- | --- | --- |
| 功能 | Jn | Kn |
| 保持 | Qn |  |
| 右移 | Qn-1 |  |
| 左移 | Qn+1 |  |
| 置数 | Dn |  |



实验室模型（仅实现右移）

原理： Jn = Qn-1，Kn = ，即Qn = Qn-1（CLK下降沿），即Qn是由上一个触发沿后Qn-1的状态所决定的，即实现了数据的右移。

电路设计图



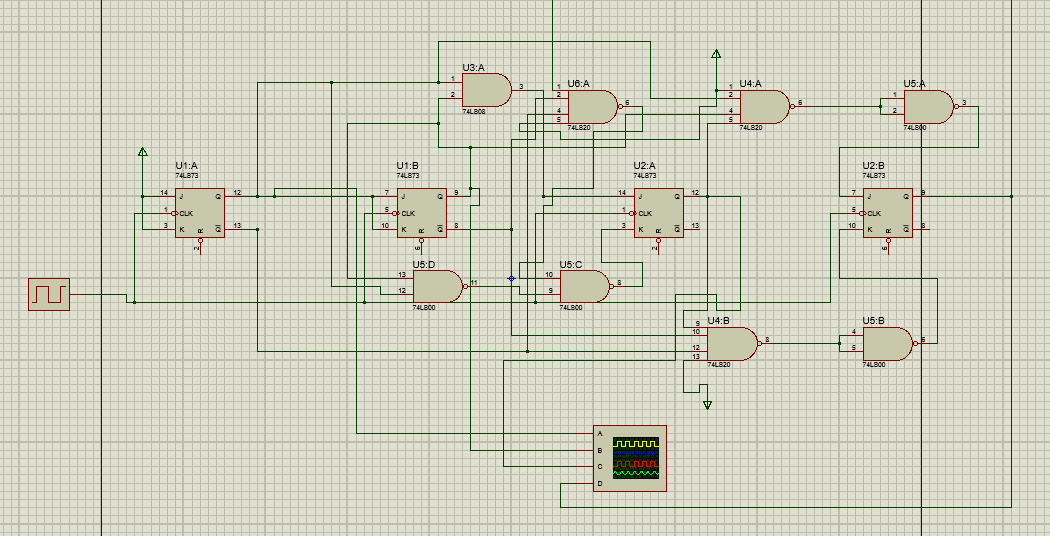
4.12进制同步计数器（顺时针）

（1）原理：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 当前状态 | | | |  | 次态 | | | |
| **Q4** | **Q3** | **Q2** | **Q1** | **Q4** | **Q3** | **Q2** | **Q1** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |

（2）电路图设计



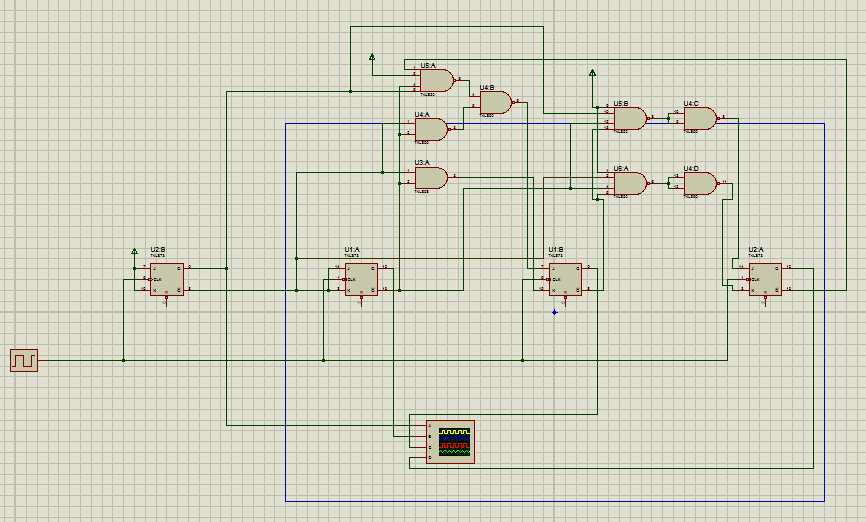
5. 12进制同步计数器（逆时针）

（1）原理

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 当前状态 | | | |  | 次态 | | | |
| **Q4** | **Q3** | **Q2** | **Q1** | **Q4** | **Q3** | **Q2** | **Q1** |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |

(2)电路图设计



6.切换控制12进制计数器

(1)原理：

引入变量D

利用J=J01·D+J02·D’,控制各触发器的JK输入，实现顺时针、逆时针的切换

J.K具体表达式根据 实验4.5可得

J0=1

K0=1

J1=Q0·D’+Q0’·D

K1= Q0·D’+Q0·D

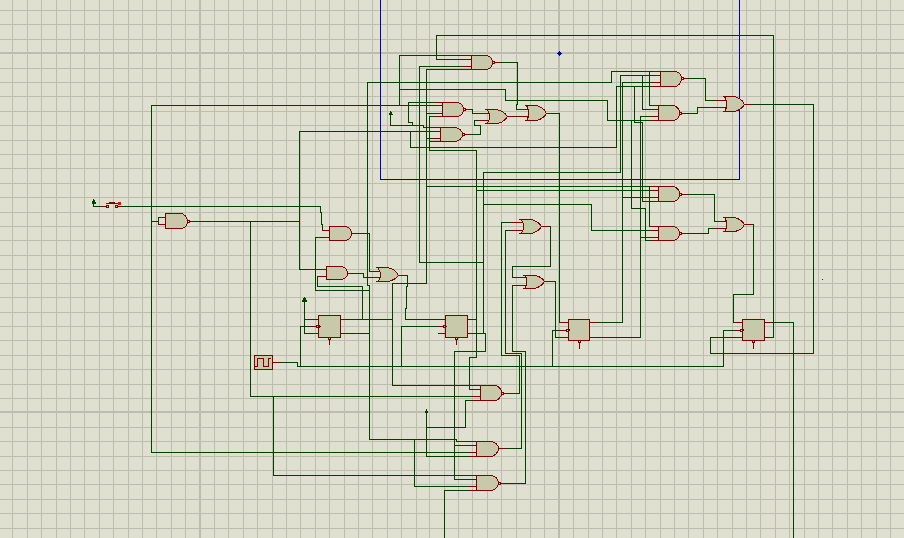
J2=Q1Q0D’ +(Q1Q0+Q3’Q1’Q0)D

K2=(Q1Q0+Q3Q1’Q0’)D’+q1’q0’d

J3=Q2Q1Q0D’+Q2’Q1’Q0D

K3=Q2Q1’Q0’D’+Q2’Q1’Q0’D

(2)电路设计图



【实验结果及其分析】

1. 16进制异步计数器

（1）实验波形



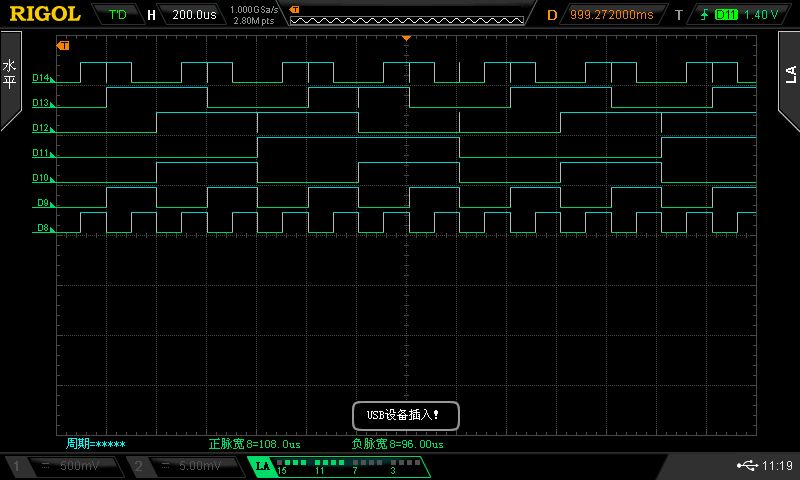


（2）分析与结论

观察波形，相位关系符合预期。实验波形有毛刺，根据数字电路的竞争与冒险，毛刺的出现属于正常现象，将与同步计数器波形的毛刺比较，分析同步与异步计数器区别。

2. 16进制同步计数器

（1）实验波形



（2）分析与结论

察波形，相位关系符合预期。实验波形有毛刺，根据数字电路的竞争与冒险，毛刺的出现属于正常现象。和异步计数器波形比较，可以发现毛刺更少。在异步计数器的设计中，如果Q0波形有毛刺，Q1~Q3必有毛刺。而在同步计数器的设计中，Q0波形有毛刺，但是Q1~Q3波形出现毛刺的情况并不多。从异步和同步计数器设计区别上分析，可以发现。异步计数器的每一级触发器都会造成传输延迟时间的增加， Q0~Q3的传输延迟都不同，因此转化成格雷码的时候一定会引起毛刺。 但是同步计数器的结构特点能够避免每次的传输延迟不断增加，只会在CLK的基础上产生一次传输延迟，因此Q1~Q3的传输延迟时间和Q0接近，因此引起毛刺的概率大大减少。从实验波形来看，同步计数器能够有效减少传输延迟带来的影响，这一点要优于异步计数器。

3.模仿74LS194功能（右移）

（1）实验波形



（2）分析与结论

电路设计特点，Q0会维持8个时钟节拍（从74LS197的Q3接出）。因此观察波形可以发现，每经历一次下降沿触发，Qk+1n+1=Qkn，下一路波形的高低电平是上一路波形的前一刻的波形，即实现了波形的右移。

4.十二进制同步计数器（顺时针）

（1）实验波形



（2）分析与结论

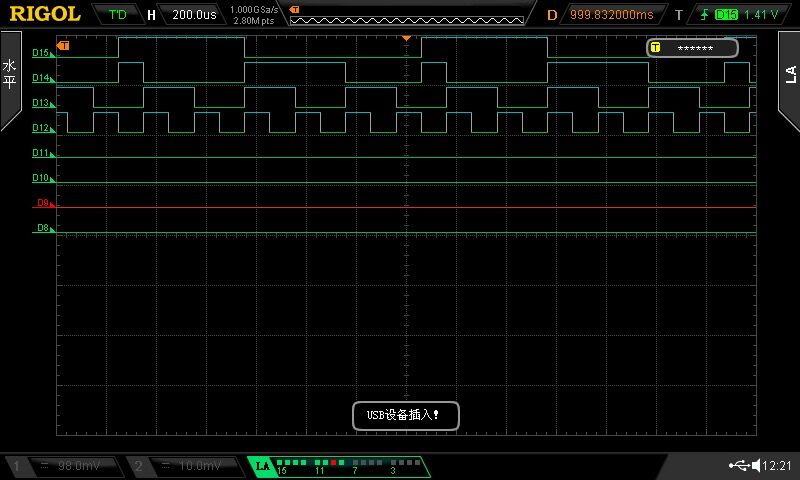
根据波形绘制真值表



由真值表和波形不难看出，计数器实现了1 2 3 4 5 6 7 8 9 10 11 12 1…..的十二进制顺时针循环

5.十二进制同步计数器（逆时针）

（1）实验波形



（2）分析与结论

根据波形绘制真值表



由真值表和波形不难看出，计数器实现了12 11 10 9 8 7 6 5 4 3 2 1 12…..的十二进制逆时针循环

【实验心得】

1.掌握了计数器的基本设计思路（次态表、转化表、卡诺图、表达式、电路图）

2.通过设计同步、异步计数器，进一步了解了数字电路的竞争与冒险，并对于同步异步计数器的有点有进一步认识

3.实验二可以通过转化成简单的16进制再通过异或门产生格雷码，也可以通过新的次态表直接设计产生格雷码的的同步计数器。但是实验目的需要研究同步、异步计数器在传输延迟上的差异，因此还是和实验一采用同样的方式，先产生16进制的8421码，再转化成格雷码